



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10209323 A**(43) Date of publication of application: **07.08.98**(51) Int. Cl. **H01L 23/12**(21) Application number: **09010339**(71) Applicant: **FUJI XEROX CO LTD**(22) Date of filing: **23.01.97**(72) Inventor: **TEZUKA KATSUMI**

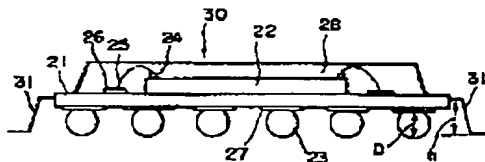
(54) **SEMICONDUCTOR DEVICE, ITS FIXING METHOD  
AND SEMICONDUCTOR DEVICE MOUNTING  
STRUCTURE**

COPYRIGHT: (C)1998,JPO

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To realize a high-density multi-pin structure, by placing leads around a printed wiring board and contacts on the lower surface of this board; the leads conducting to circuits on the semiconductor chip top surface.

**SOLUTION:** Leads conducting to circuits on the top face of a semiconductor chip 22 through bonding wires 25, printed wiring 26 and electrodes 27 are disposed around a printed wiring board 21. Solder ball contacts 23 conducting to the circuits on the top face of the semiconductor chip 22 through the bonding wires 25, printed wiring 26 and electrodes 27 are disposed on the lower face of the board 21. For a semiconductor device having a structure of the leads 31 drawn to the periphery of the wiring board 21 with the chip 22 fixed thereto, the solder balls 23 to be contacts are disposed on the lower surface of the board 21 thereby realizing a high-density multi-pin structure.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209323

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 23/12

識別記号

F I

H 0 1 L 23/12

F

K

L

W

審査請求 未請求 請求項の数5 O L (全 6 頁)

(21) 出願番号 特願平9-10339

(22) 出願日 平成9年(1997) 1月23日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72) 発明者 手塚 克己

埼玉県岩槻市府内3丁目7番1号 富士ゼ

ロックス株式会社岩槻事業所内

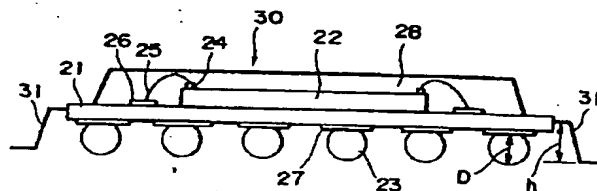
(74) 代理人 弁理士 中島 淳 (外4名)

(54) 【発明の名称】 半導体装置、その固定方法及び半導体装置の実装構造

(57) 【要約】

【課題】 高密度多ピン化を図った半導体装置を実現する。

【解決手段】 複数のリード31を印刷配線板21の周囲に配設すると共に、半導体チップ22上面に形成された回路とパッド24、ボンディングワイヤ25、印刷配線26、電極27を介して導通する複数の接点としての半田ボール23を印刷配線板21の下面に配設する。



【特許請求の範囲】

【請求項1】 印刷配線板の上面に固定された半導体チップを樹脂モールドし、前記半導体チップ上面に形成された回路と導通する複数のリードが前記印刷配線板の周囲に配設すると共に、前記半導体チップ上面に形成された回路と導通する複数の接点を前記印刷配線板の下面に配設したことを特徴とする半導体装置。

【請求項2】 前記印刷配線板の下面から前記リードの下端の延長線上までの垂直距離が前記接点の高さより僅かに短くなるようにしたことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記印刷配線板の周囲に配設された前記複数のリードのうちの特定のリードに電源ライン及びグランドラインを接続し、前記複数の接点に信号ラインを接続することを特徴とする請求項1に記載の半導体装置。

【請求項4】 印刷配線板の上面に固定された半導体チップを樹脂モールドし、印刷配線板の下面に前記半導体チップ上面に形成された回路と導通する複数の接点が配設された半導体装置を、前記複数の接点に対向して形成された複数の電極を有する半導体装置搭載用印刷配線板の所定の電極位置に前記複数の接点を載置し、接続することにより搭載する際に、前記複数の接点のうちの特定の接点の代わりに前記接点の高さより僅かに短い高さを有する受動素子を介在させたことを特徴とする半導体装置の実装構造。

【請求項5】 印刷配線板の上面に固定された半導体チップを樹脂モールドし、印刷配線板の下面に前記半導体チップ上面に形成された回路と導通する複数の接点が配設された半導体装置を半導体装置搭載用印刷配線板に固定する際に、前記半導体装置の周縁部と前記半導体装置搭載用印刷配線板とを受動素子を介して固定することを特徴とする半導体装置の固定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、特に印刷配線板に搭載され、該印刷配線板の配線と接続されるQFP(Quad Flat Package)、BGA(Ball Grid Array)等の表面実装タイプの半導体装置、その固定方法及び半導体装置の実装構造に関する。

【0002】

【従来の技術】半導体パッケージで多ピン化を図る際に図1に示すようなリード(ピン)1がデバイスパッケージ3の周辺に複数個、配置されたペリフェラル構造のQFP等の半導体装置10で実現するのにピンピッチ2を狭くするか、デバイスパッケージ3のサイズを大型化することにより行われている。

【0003】また図2に示すBGAのように印刷配線板21の上面に固定された半導体チップ22が樹脂モールド

ドされ、印刷配線板21の下面に前記半導体チップ22上面に形成された回路と導通する複数の接点としての半田ボール23が配設されてなる半導体装置22で多ピン化を図るには半田ボール23が配設されるピッチ間隔を短くすることにより行われている。

【0004】上述した半導体装置では、半導体装置側の電極と半導体装置が搭載される半導体装置搭載用印刷配線板側の電極部とがリードと称する金属リードあるいは、半田ボールを介して直接、接続されることにより使用される。その際にペースト状の半田を接着剤として利用し、加熱溶解接続する点で共通する。

【0005】

【発明が解決しようとする課題】しかしながら、リードがペリフェラル構造のQFP等の半導体装置でピンピッチを狭くすることにより多ピン化を図る場合には、半導体装置のリード接続部の小型化、要求される搭載精度の高精度化により半導体装置の半導体装置搭載用印刷配線板への接続搭載品質が低下するという問題があった。

【0006】またパッケージサイズを大型化することにより多ピン化を図る場合には半導体装置が搭載される半導体装置搭載用印刷配線板上の占有面積が大きくなり、半導体装置を含む部品の高密度集約実装が困難になるという問題があった。

【0007】一方、BGAのような半導体装置において半田ボールが配設されるピッチ間隔を短くすることにより多ピン化を図る場合にはパッケージ下面、すなわち半導体チップが固定される印刷配線板の下面に電極が集中するために電極からの配線の引出し効率が悪化する。すなわち、印刷配線板の平面方向の配線のみでは配線容量が不足し、印刷配線板を多層化し、その上下方向の配線をバイアホール等で繋ぐ多層印刷配線板の利用が必要となる。

【0008】しかしながら、多層印刷配線板を採用すると、印刷配線板実装体のコスト上昇を招くという問題がある。

【0009】更にBGAのような半導体装置を使用する際に放熱フィン、ヒートシンク等の放熱部材をBGAのような半導体装置に装着し、あるいはBGAのような半導体装置に複数部品を搭載してモジュール化することにより半導体装置に対する荷重が増加した場合に、これらを半導体装置搭載用印刷配線板に搭載すると、接続支持体となっている半田ボールが、リフロー熱等による溶解接続時に潰れてしまい、半導体装置搭載用印刷配線板上に形成された電極間を短絡する等の接続不良が発生させてしまう虞れがあるという問題がある。

【0010】本発明はこのような事情に鑑みてなされたものであり、高密度多ピン化を図った半導体装置を提供することを第1の目的とする。

【0011】また本発明は、半導体装置搭載用印刷配線板に搭載される際の半田ボール等の接点溶解接続時に接

点の潰れによる接続不良の発生を防止を図った半導体装置を提供することを第2の目的とする。

【0012】本発明は、部品から発生する放射ノイズの抑制を図った半導体装置を提供することを第3の目的とする。

【0013】また本発明は、部品の搭載効率の向上及び接点の潰れの防止を図った半導体装置の実装構造を提供することを第4の目的とする。

【0014】更に本発明は、加工工数の低減及び実装領域の増大を図った半導体装置の固定方法を提供することを第5の目的とする。

【0015】

【課題を解決するための手段】第1の目的を達成するために請求項1に記載の発明は、印刷配線板の上面に固定された半導体チップを樹脂モールドし、前記半導体チップ上面に形成された回路と導通する複数のリードが前記印刷配線板の周囲に配設すると共に、前記半導体チップ上面に形成された回路と導通する複数の接点を前記印刷配線板の下面に配設したことを特徴とする。

【0016】請求項1に記載の発明によれば、高密度多ピン化を図った半導体装置を実現できる。

【0017】第2の目的を達成するために請求項2に記載の発明は、請求項1に記載の半導体装置において、前記印刷配線板の下面から前記リードの下端の延長線上までの垂直距離が前記接点の高さより僅かに短くなるようにしたことを特徴とする。

【0018】請求項2に記載の発明によれば、ベリフェラル構造の印刷配線板の下面から前記リードの下端の延長線上までの垂直距離が前記接点の高さより僅かに短くなるようにした複数のリードを設けることにより、半導体装置搭載用印刷配線板に半導体装置を搭載する際にリフロー熱による接点の加熱溶解時に接点に過度に荷重がかからないように前記リードにより半導体装置本体が支持されるために接点の潰れによる電極間ショート等の接続不良を防止することができる。

【0019】第3の目的を達成するために請求項3に記載の発明は、請求項1に記載の半導体装置において、前記印刷配線板の周囲に配設された前記複数のリードのうちの特定のリードに電源ライン及びグラウンドラインを接続し、前記複数の接点に信号ラインを接続することを特徴とする。

【0020】請求項3に記載の発明によれば、部品から発生する放射ノイズを外側のリードでシールドすることにより抑制することができる。

【0021】第4の目的を達成するために請求項4に記載の発明は、印刷配線板の上面に固定された半導体チップを樹脂モールドし、印刷配線板の下面に前記半導体チップ上面に形成された回路と導通する複数の接点が配設された半導体装置を、前記複数の接点に対向して形成された複数の電極を有する半導体装置搭載用印刷配線板の

所定の電極位置に前記複数の接点を載置し、接続することにより搭載する際に、前記複数の接点のうちの特定の接点の代わりに前記接点の高さより僅かに短い高さを有する受動素子を介在させたことを特徴とする。

【0022】請求項4に記載の発明によれば、部品の搭載効率の向上及びボール状接点の潰れの防止を図った半導体装置の実装構造を実現できる。

【0023】第5の目的を達成するために請求項5に記載の発明は、印刷配線板の上面に固定された半導体チップを樹脂モールドし、印刷配線板の下面に前記半導体チップ上面に形成された回路と導通する複数の接点が配設された半導体装置を半導体装置搭載用印刷配線板に固定する際に、前記半導体装置の周縁部と前記半導体装置搭載用印刷配線板とを受動素子を介して固定することを特徴とする。

【0024】請求項5に記載の発明によれば、本来、半導体装置内あるいは半導体装置搭載用印刷配線板の別の領域に実装すべき受動素子を、半導体装置を半導体装置搭載用印刷配線板に搭載するために固定する際に、半導体装置の周縁部と半導体装置搭載用印刷配線板との間に介在させて行うようにしたので、加工工数の低減及び実装領域の増大が図れる。

【0025】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。本発明の第1の実施の形態に係る半導体装置の構成を図3に示す。半導体装置の印刷配線板21の上面は、複数のリード31と導通する複数の印刷配線26が形成されており、印刷配線板21の下面には、複数の印刷配線26と導通する正方形で銅製の複数の電極27が等間隔で配設されている。半導体装置は、印刷配線板21上面の複数の印刷配線26間に半導体チップ22をマウントし、半導体チップ22上面に形成された回路に接続されているパッド24と印刷配線26とをボンディングワイヤ25でボンディングし、印刷配線板21上に固定された半導体チップ22を樹脂28によりモールドすることにより構成されている。これにより半導体チップ22上面に形成された回路とパッド24、ボンディングワイヤ25、印刷配線26、電極27を介して導通する複数のリード31が印刷配線板21の周囲に配設される。

【0026】また半導体チップ22上面に形成された回路とパッド24、ボンディングワイヤ25、印刷配線26、電極27を介して導通する複数の接点としての半田ボール23が印刷配線板21の下面に配設されている。この半田ボール等の接点の形成は、予め準備された球状の半田合金及び金等の単独金属を接着剤を使用して、あるいはリフロー溶解等により接着する方法、またはペースト印刷等によって接点を作り込んでいく方法のいずれによっても可能である。接点の形状は、ボール状に限らず、円柱状、つずみ状、太鼓状のいずれでもよい。

【0027】このように図1に外観構成を示すQFP、SOP (Small Outline Package)、PLCC (Plastics Leadless Chip Carrier) 等の半導体チップが固定される印刷配線板の周囲にリードを引き出す構造の半導体装置に対しては上記印刷配線板の下面に複数の接点としての半田ボールを例えば、マトリクス状に配設することにより高密度多ピン化を図ることができる。

【0028】また図2に示すようにBGA等のような半導体装置に、半導体チップ22上面に形成された回路と導通する複数のリード31を印刷配線板21の周囲にカシメ等により接続してペリフェラル構造に配設することにより高密度多ピン化を図ることができる。ここで印刷配線板21の周囲に配置されるリードの形状は、QFP、SOPに代表されるGull Wing形状、またはPLCCに代表されるようなJ型形状のいずれであってもよい。図3に示す半導体装置の裏面から見た部品構造を図4に示す。同図に示すように印刷配線板21の周囲に接続されたリード31と印刷配線板21の底面にマトリクス状に形成された複数の接点としての半田ボール23が混在した半導体装置となる。

【0029】図3に示す半導体装置30において、複数のリード31のうちの特定のリードに電源ライン及びグラウンドラインを接続し、複数の接点としての半田ボールに信号ラインを接続するようにしている。このように構成することにより、信号ライン発生するから発生する放射ノイズを上記半田ボールの外側に位置するリード部でシールドすることにより部品から発生する放射ノイズを抑制することができる。

【0030】次に図3に示す半導体装置を半導体装置搭載用印刷配線板としてのマザー印刷配線板に搭載した状態を図6に示す。同図において、マザー印刷配線板50上面には電極51が形成されており、半導体装置30は印刷配線板21の下面に形成された半田ボール23、及び印刷配線板21の周囲に接続されたリード31の下端がマザー印刷配線板50上の所定位置の電極上に載置され、接着される。ここで半導体装置30は、図3に示すように印刷配線板の下面から前記リードの下端の延長線上までの垂直距離hが前記半田ボールの直径Dより僅かに短くなるように形成されている。

【0031】この半導体装置30をマザー印刷配線板50上に載置し、半田ボール23、リード31と電極51とを接着する際に半導体装置30にヒートシンク、ヒートスプレッダー等の放熱部材52が予め装着され、あるいはモジュール等の複数部品が半導体装置30に実装されて重量が増加している場合であってもペリフェラル状のリードが設けられることにより、リフロー熱による半田ボール23の加熱溶解時に接点としての半田ボールに過度に荷重がかからないように前記リードにより半導体装置本体が支持されるので、半田ボールが潰れることが

なく、それ故電極間短絡等の接続不良の発生を防止することができる。接点の材料として半田のような低融点合金を用いる場合はBGAのみならず、CSP (Chip Size Package)、 $\mu$ -BGA (micro-BGA)、LGA (Land Grid Array) 等にも利用できる。

【0032】本発明の第2の実施の形態を図5及び図7に示す。本発明の第2の実施の形態では図2に示した半導体装置において印刷配線板21の下面に配設された複数の接点としての半田ボール23の内の一部を半田ボール23の直径より僅かに短い高さを有するコンデンサ、抵抗等の受動素子41に置換するように構成している。この半導体装置40の裏面の状態を図5に示す。この受動素子41はチップ部品として用意したものを上記複数の半田ボール23の代わりに電極27に接続することにより接点23と受動素子41とを置換している。この半導体装置40をマザー印刷配線板50上に搭載した状態を図7に示す。半導体装置40をマザー印刷配線板50上に載置し、半田ボール23、受動素子41と電極51とを接着する際に半導体装置40にヒートシンク、ヒートスプレッダー等の放熱部材52が予め装着され、あるいはモジュール等の複数部品が半導体装置40に実装されて重量が増加している場合であっても受動素子41によって半導体装置40が支持されるのでリフロー熱による半田ボール23の加熱溶解時にも半田ボールが潰れることがなく、それ故電極間短絡等の接続不良の発生を防止することができると共に、半導体装置搭載用印刷配線板としてのマザー印刷配線板上の部品の搭載効率の向上を図った半導体装置の実装構造を実現できる。

【0033】尚、本発明の第2の実施の形態では受動素子41を予めチップ部品として用意したが、この代わりに半導体装置40をマザー印刷配線板50に搭載する際に半導体装置40の印刷配線板21とマザー印刷配線板50上の所定の電極51との間に形成するようにしてもよい。

【0034】また受動素子を半導体装置40側に設ける代わりに半田ボール23の直径より僅かに短い高さを有するコンデンサ、抵抗等の受動素子41を予めチップ部品として用意し、これをマザー印刷配線板50側の所定の電極51に予め接続しておき、その後半導体装置40と接続するようにしてもよい。

【0035】更に受動素子41を予めチップ部品として用意する代わりにマザー印刷配線板50の電極51を形成する際に所定の電極位置に受動素子を形成するようにしてもよい。

【0036】次に本発明の第3の実施の形態を図8を参照して説明する。同図において、本発明の第3の実施の形態では図2に示す半導体装置20を半導体搭載用印刷配線板としてのマザー印刷配線板50に固定する際に、半導体装置20の周縁部とマザー印刷配線板50とを

動素子60を介して半田61により固定する。

【0037】第3の実施の形態によれば、加工工数の低減及び実装領域の増大が図れる。

【0038】

【発明の効果】以上説明したように請求項1に記載の発明によれば、高密度多ピン化を図った半導体装置を実現できる。

【0039】請求項2に記載の発明によれば、ペリフェラル構造の複数のリードを設けることにより、半導体装置搭載用印刷配線板に半導体装置を搭載する際にリフロー熱による接点の加熱溶解時に接点の潰れによる電極間ショート等の接続不良を防止することができる。

【0040】請求項3に記載の発明によれば、部品から発生する放射ノイズを外側のリードでシールドすることにより抑制することができる。

【0041】請求項4に記載の発明によれば、部品の搭載効率の向上及び接点の潰れの防止を図った半導体装置の実装構造を実現できる。

【0042】請求項5に記載の発明によれば、本来、半導体装置内あるいは半導体装置搭載用印刷配線板の別の領域に実装すべき受動素子を、半導体装置を半導体装置搭載用印刷配線板に搭載するために固定する際に、半導体装置の周縁部と半導体装置搭載用印刷配線板との間に介在させて行うようにしたので、加工工数の低減及び実装領域の増大が図れる。

【図面の簡単な説明】

【図1】ペリフェラル構造のQFP等の半導体装置の外観構成を示す斜視図。

【図2】半導体チップがマウントされる印刷配線板の裏面にマトリクス状にボール状接点が配設されてなるBG A等の半導体装置の外観構成を示す図。

【図3】本発明の第1の実施形態に係る半導体装置の構成を示す図。

\*

\*【図4】図3に示した半導体装置の裏面から見た外観構成図。

【図5】本発明の第2の実施の形態に係る半導体装置の裏面構成を示す図。

【図6】図3に示した半導体装置をマザー印刷配線板に搭載した状態を示す断面図。

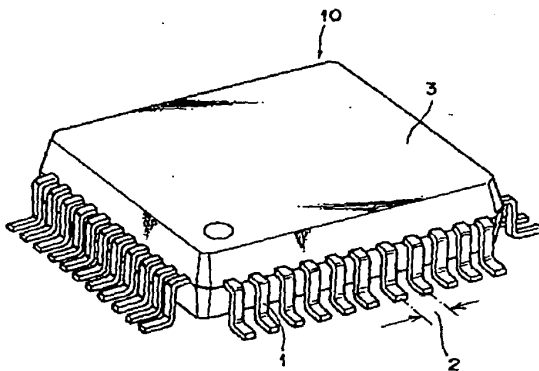
【図7】図5に示す半導体装置をマザー印刷配線板に搭載した状態を示す断面図。

【図8】図2に示す半導体装置をマザー印刷配線板に固定した状態を示す断面図。

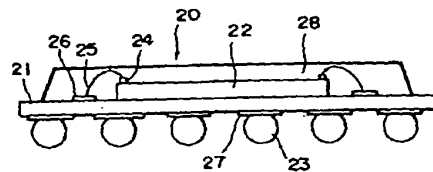
【符号の説明】

- 1 リード
- 3 デバイスパッケージ
- 10 半導体装置
- 20 半導体装置
- 21 印刷配線板
- 22 半導体チップ
- 23 半田ボール
- 24 パッド
- 25 ボンディングワイヤ
- 26 印刷配線
- 27 電極
- 28 樹脂
- 30 半導体装置
- 31 リード
- 40 半導体装置
- 41 受動素子
- 50 マザー印刷配線板
- 51 電極
- 52 放熱部材
- 60 受動素子
- 61 半田

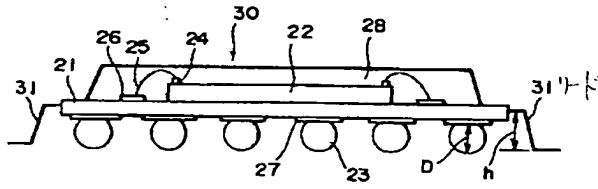
【図1】



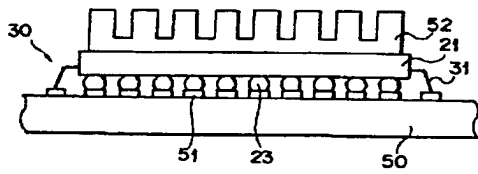
【図2】



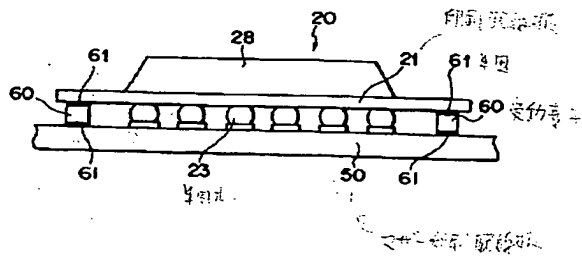
【図3】



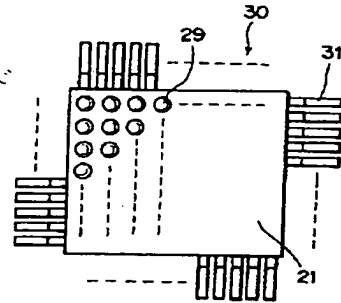
【図6】



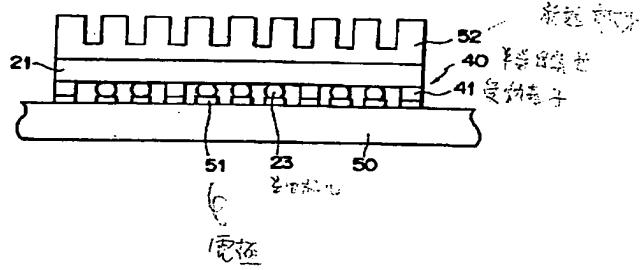
【図8】



【図4】



【図7】



【図5】

